

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-11326

(43)公開日 平成10年(1998) 1月16日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/30	3 1 0		G 0 6 F 11/30	3 1 0 H
	3 2 0			3 2 0 E
G 0 5 B 15/02		0360-3H	G 0 5 B 15/02	M
19/05			19/05	J

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平8-164511

(22)出願日 平成 8 年(1996) 6 月25日

(71)出願人 000002945

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72)発明者 長谷 清治

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

(72)発明者 中村 直史

京都府京都市右京区花園土堂町10番地 オムロン株式会社内

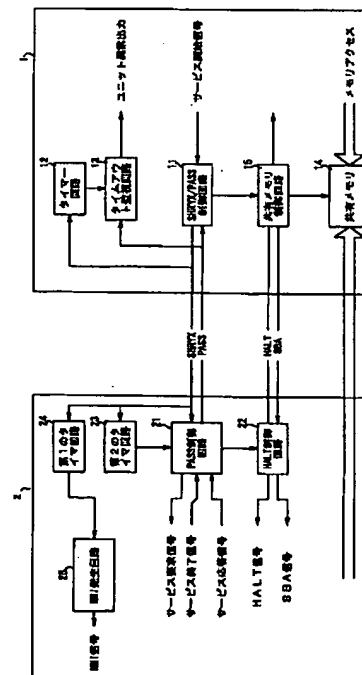
(74)代理人 弁理士 和田 成則

(54)【発明の名称】 制御装置

(57)【要約】

【課題】 ファームウェアをMS-DOS等のOSでなるソフトウェアに切り替えた場合、サービス処理の規定時間を経過しても、装置自体が稼働し続けるとともに、応答時間Tが所定時間以上の場合には、サービス要求を速やかに終了させてサービス処理の効率を向上するようにする。

【解決手段】 周辺ユニット2は、CPUユニット1からSHRYX信号を受けると、第1のタイマ23と第2のタイマ24が時間を計測する。第1のタイマ23が所定時間経過すると、共有メモリ14がアクセスされているか否かを判断し、アクセスされていると判断された場合には、NMI発生回路25が出力したNMIの割込みにより、共有メモリ14に対するアクセスを強制的に終了させたのちサービス処理を終了させる。一方、共有メモリ14がアクセスされていないと判断した場合には、そのままサービス処理を終了させる。



【特許請求の範囲】

【請求項1】 共有メモリを有するCPUユニットと、このCPUユニットの管理下にある周辺ユニットとを備えており、上記CPUユニットからサービス要求を受けた上記周辺ユニットがサービス処理を実行する制御装置において、

上記周辺ユニットは、

上記CPUユニットからサービス要求を受けると、時間を計測し始める時間計測手段と、

この時間計測手段が所定時間経過すると、上記共有メモリがアクセスされているか否かを判断するアクセス有無判断手段と、

上記共有メモリに対するアクセスを強制的に終了させるアクセス停止手段と、

を具備しており、

上記アクセス有無判断手段により、上記共有メモリがアクセスされていると判断された場合には、上記アクセス停止手段で上記共有メモリに対するアクセスを強制的に終了させたのちサービス処理を終了させる一方、上記共有メモリがアクセスされていないと判断した場合には、そのままサービス処理を終了させることを特徴とする制御装置。

【請求項2】 上記時間計測手段が所定時間経過すると、上記CPUユニットを一時停止させるHALT信号が出力されているか否かを判断するHALT信号有無判断手段を有しており、

このHALT信号有無判断手段により、上記HALT信号が出力されていないと判断された場合のみ、上記共有メモリをアクセスせずにサービス処理を終了させることを特徴とする請求項1記載の制御装置。

【請求項3】 上記時間計測手段は、第1のタイマー回路と、第2のタイマー回路からなり、

上記第1のタイマー回路は、上記共有メモリがアクセスされているか否かを判断するタイミング時間を計測するものであり、

上記第2のタイマー回路は、上記CPUユニットを一時停止させるHALT信号が出力されているか否かを判断するタイミング時間を計測するものであることを特徴とする請求項1または2記載の制御装置。

【請求項4】 MS-DOS等のOSの下で稼働することを特徴とする請求項1乃至3のいずれかに記載の制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPUユニットからサービス要求を受けた周辺ユニットがサービス処理を実行する制御装置に関する。

【0002】

【従来の技術】CPUユニットとその管理下にある周辺ユニット2で構成され従来の制御装置は、図5に示すよ

うに、各周辺ユニット2のサービス処理、すなわちCPUユニット2でサービス要求(SHRYX信号)を受けた周辺ユニット2がCPUユニット1内の共有メモリ10をリード・ライト(R/W)処理を実行するに際し、次のような手順で行われている。

【0003】すなわち、CPUユニット1が各周辺ユニット2に対して周期的にサービス要求を出力すると、このサービス要求を受けた周辺ユニット2は、サービス処理の有無にかかわらず、それに対する応答(PASS信号)をCPUユニット1に出力するとともに、サービス処理がある場合には、HALT信号をCPUユニット1に出力し、CPUユニット1を一時停止させたのち、サービス処理を規定時間以内に実行する。

【0004】ここで、サービス要求を受けた周辺ユニット2が、サービス処理を規定時間内に終了しない場合には、CPUユニット1は、この周辺ユニット2に何等かの異常が発生したものと判断し、装置自体の稼働を停止させるようになっている。

【0005】このような構成の制御装置の動作を、さらに図6に示すタイミングチャートを参照して説明する。

【0006】CPUユニット1が該当する周辺ユニット2に対してHレベルのSHRYX信号を出力して割込みを入ると(図中の①参照)、割込みを入れられた周辺ユニット2は、CPUユニット1に対してHレベルのPASS信号をハードウェア(図中ではH/Wと記載されている)を用いて応答する(図中の②参照)。

【0007】次に、周辺ユニット2は、CPUユニット1に対してHレベルのHALT信号をソフトウェア(図中ではS/Wと記載されている)で出力し(図中の③参照)、CPUユニット1を一時停止させる。

【0008】周辺ユニット2は、CPUユニット1を一時停止状態にしたのち、サービス処理、すなわちCPUユニット1内の共有メモリ10にデータをリード・ライトする(図中の④参照)。

【0009】周辺ユニット2は、サービス処理が終了すると、CPUユニット1に対してHレベルのHALT信号をソフトウェアでLレベルにし(図中の⑤参照)、CPUユニットの一時停止を解除し、続いて、HレベルのPASS信号をソフトウェアでLレベルにして(図中の⑥参照)応答をクリアする。

【0010】CPUユニット1は、周辺ユニット2からのPASS信号がLレベルになると、Hレベル状態にあるSHRYX信号をLレベルにして(図中の⑦参照)サービス要求を終了する。

【0011】なお、上述したサービス処理の規定時間とは、CPUユニット1がHレベルのSHRYX信号を該当する周辺ユニット2に出力したのち、周辺ユニット2がCPUユニット2に対してLレベルのPASS信号を出力するまで時間をいい、図7中では10msである。

【0012】

【発明が解決しようとする課題】このような従来の制御装置は、上述したように周辺ユニット2からCPUユニット1を一時停止するためのHALT信号をファームウェアで出力していたが、制御装置のシステム構築上の効率化、ソフトウェアのコスト制限等の要請により、上述したファームウェアを広く知られているMS-DOS等のOSでなるソフトウェア(S/W)に切り替え、その上でアプリケーションを動かす場合には、次のような問題点が発生する。

【0013】(1)MS-DOS等のOSでなるソフトウェアに切り替えた制御装置では、処理動作が上述のファームウェア構成のものに比べ処理動作が遅くなり、周辺ユニット2の実行するサービス処理が規定時間以内に終了できないことが発生する。そのため、CPUユニット1がこの周辺ユニット2に異常が発生したものと判断して、装置自体の稼働を停止してしまうという問題点があった。

【0014】(2)しかも、周辺ユニット2は、上述したサービス処理のみならず本来の処理、すなわちセンサ等の稼働装置に対する制御処理等が、サービス処理と平行して処理されているため、一層サービス処理時間がかかり、上述と同様な問題点が発生する。

【0015】(3)また、処理動作が上述のファームウェア構成のものに比べ処理動作が遅くなるという上述した理由により、CPUユニット1がサービス要求を出力したのち、周辺ユニット2からHALT信号を出力するまでの時間(以下、割込み応答時間Tという)も必然的に長くなる。

【0016】この割込み応答時間Tは、データの転送を伴わない全く無駄な時間であり、この時間が長ければ長いほどシステム全体のサービス処理の効率が悪くなるという問題点があった。

【0017】そこで、本発明は上述の問題点に鑑み、ファームウェアをMS-DOS等のOSでなるソフトウェアに切り替えた場合、サービス処理の規定時間を経過しても、装置自体が稼働し続けるとともに、応答時間Tが所定時間以上の場合には、サービス要求を速やかに終了させてサービス処理の効率を向上した制御装置を提供することを目的とする。

【0018】

【課題を解決するための手段】上述の目的を達成するために、請求項1記載の発明は、共有メモリを有するCPUユニットと、このCPUユニットの管理下にある周辺ユニットとを備えており、上記CPUユニットからサービス要求を受けた上記周辺ユニットがサービス処理を実行する制御装置において、上記周辺ユニットは、上記CPUユニットからサービス要求を受けると、時間を計測し始める時間計測手段と、この時間計測手段が所定時間経過すると、上記共有メモリがアクセスされているか否

かを判断するアクセス有無判断手段と、上記共有メモリに対するアクセスを強制的に終了させるアクセス停止手段とを具備しており、上記アクセス有無判断手段により、上記共有メモリがアクセスされていると判断された場合には、上記アクセス停止手段で上記共有メモリに対するアクセスを強制的に終了させたのちサービス処理を終了させる一方、上記共有メモリがアクセスされていないと判断した場合には、そのままサービス処理を終了させることを特徴とする。

10 【0019】請求項2記載の発明は、請求項1記載の発明において、上記時間計測手段が所定時間経過すると、上記CPUユニットを一時停止させるHALT信号が出力されているか否かを判断するHALT信号有無判断手段を有しており、このHALT信号有無判断手段により、上記HALT信号が出力されていないと判断された場合のみ、上記共有メモリをアクセスせずにサービス処理を終了させることを特徴とする。

【0020】請求項3記載の発明は、請求項1または2記載の発明は、上記時間計測手段が、第1のタイマー回路と、第2のタイマー回路からなり、上記第1のタイマー回路が、上記共有メモリがアクセスされているか否かを判断するタイミング時間を計測するものであり、上記第2のタイマー回路が、上記CPUユニットを一時停止させるHALT信号が出力されているか否かを判断するタイミング時間を計測するものであることを特徴とする。

【0021】請求項4記載の発明は、請求項1乃至3のいずれかに記載の発明において、MS-DOS等のOSに下で稼働することを特徴とする。

【0022】本発明によれば、CPUユニットからサービス要求を受けると、時間を計測し始める。そして、所定時間経過すると、共有メモリがアクセスされているか否かが判断され、共有メモリがアクセスされていると判断された場合には、共有メモリに対するアクセスを強制的に終了させてサービス処理を終了させるため、周辺ユニットの実行するサービス処理が規定時間以内に終了できる。

【0023】さらに、時間を計測し始めた後、所定時間経過すると、CPUユニットを一時停止させるHALT信号が出力されたと判断された場合にのみ、共有メモリをアクセスせずにサービス処理を終了させる。

【0024】

【発明の実施の形態】以下、本発明に係る制御装置の実施形態を図面を参照して説明する。

【0025】図1および図2は本発明に係る制御装置のサービス処理手順の概略を説明するタイミングチャート、図3は本発明に係る制御装置の一実施形態の構成を示すブロック図である。

【0026】この実施形態の制御装置は、後に詳述するCPUユニットと、このCPUユニット1の管理下にある周辺ユニットとを備え、MS-DOS等のOSに下で

稼働するものであって、周辺ユニットがサービス処理する場合、次のような処理を行う構成を有している。

【0027】すなわち、この実施形態の制御装置は、図1に示すように、CPUユニットが周辺ユニットにサービス要求を出力したのち、その周辺ユニットが所定時間例えば8ms以内にサービス処理を終了しない場合には、たとえリード・ライト処理中であっても、ハードウェアでNMI (Non-Maskable Interrupt) の割込みをかけ(図中の③参照)、強制的にサービス処理を終了させて上述したサービス処理の規定時間例えば10msを超えないように構成されている。

【0028】なお、①の矢線は、周辺ユニットがサービス要求に対する応答としてのPASS信号の立ち上げをハードウェアで行うことを示しており、また、②、④および⑤の矢線は、それぞれCPUユニットを一時停止するためのHALT信号の立ち上げ、その立ち下げ、およびPASS信号の立ち下げをソフトウェアで行うことを示している。

【0029】また、この実施形態の制御装置は、図2に示すように、周辺ユニットが、CPUユニットからサービス要求を受けたのち、CPUユニットを一時停止するHALT信号が所定時間例えば2msを経過してもCPUユニットに出力することができない場合には、HALT信号を出力せずに、PASS信号をハードウェアでクリアしてサービス処理を強制的に終了させるように構成されている。

【0030】次に、上述したようなサービス処理を行う実施形態の制御装置の構成を具体的に説明する。

【0031】この実施形態の制御装置は、MS-DOS等のOSに下で稼働するものであって、図3に示すように、CPUユニット1と、このCPUユニット1の管理下にある複数の周辺ユニット2から構成されており、CPUユニット1には、SHRYX/PASS制御回路11、タイマ回路12、タイムアウト監視回路13、共有メモリ制御回路14および共有メモリ15を備えており、一方、周辺ユニット2には、PASS制御回路21、HALT制御回路22、第1のタイマ回路23、第2のタイマ回路24およびNMI発生回路25を備えている。

【0032】ここで、SHRYX/PASS制御回路11は、CPU(図示せず)からのサービス開始開始信号に基づきSHRYX信号を出力するように構成されている。

【0033】タイマ回路12は、SHRYX信号を出力すると、時間を計測し始め、10ms経過すると、その旨をタイムアウト監視回路13に出力するように構成されている。

【0034】タイムアウト監視回路13は、タイマ回路13から10ms経過した旨の信号を受けると、PASS信号がPASS制御回路から出力されているか否かを

判断し、PASS信号が出力されている場合には、周辺ユニットに異常が発生した旨の信号を出力するように構成されている。

【0035】共有メモリ14は、この実施形態の制御装置の稼働に必要となるデータを、各周辺ユニット2と共有して格納するものである。

【0036】共有メモリ制御回路15は、周辺ユニット2からHALT信号を受けると、共有メモリ14を開放させて、周辺ユニット2からこの共有メモリ14にアクセス可能であるとするSBA信号をHALT制御回路22に出力するように構成されている。

【0037】PASS制御回路21は、SHRYX信号を受けると、PASS信号をCPUユニット1に出力するとともに、周辺ユニット2内のCPU(図示せず)に対してサービス要求信号を出力するように構成されている。

【0038】また、PASS制御回路21は、第2のタイマ回路24からの後述するタイムアウト信号に基づき、PASS信号の出力を停止するように構成されている。

【0039】さらに、PASS制御回路21は、CPUから後述するサービス終了信号を受けると、HALT制御回路22にHALT信号の出力を停止させる指示を出力するとともに、PASS信号を出力を停止するように構成されている。

【0040】さらにまた、PASS制御回路21は、CPUユニットからのSHRYX信号に対するサービス応答信号をCPUから受けると、HALT制御部22にHALT信号を出力するための指示を出力するように構成されている。

【0041】第1のタイマ回路23は、SHRYX信号を受けると時間を計測し始め、規定時間例えば8msを経過した場合には、その旨を示すタイムアウト信号をNMI発生回路25に出力するように構成されている。

【0042】第2のタイマ回路24は、SHRYX信号を受けると時間を計測し始め、所定に時間例えば2msを経過した場合には、その旨を示すタイムアウト信号をPASS制御信号回路21に出力するように構成されている。

【0043】NMI発生回路25は、第1のタイマ回路23からのタイムアウト信号を受けると、上述したNMI信号をCPUに出力し、このCPUにサービス処理を終了させるように構成されている。

【0044】HALT制御回路22は、PASS制御回路21からHALT信号の出力を停止させる指示に基づき、HALT信号の出力を停止するように構成されている。

【0045】また、HALT制御回路22は、上述したSBA信号を受けると、この信号をCPUに出力するように構成されている。

【0046】なお、周辺ユニット2内のCPUは、HALT信号が出力されたのを確認したのち、上述したSBA信号が出力されるのをまって、共有メモリ14にアクセスするように構成されている。

【0047】また、周辺ユニット2内のCPUは、NMI発生回路25からのNMI信号に基づき、サービス処理を終了させるサービス終了信号をPASS制御回路21に出力するように構成されている。

【0048】さらに、周辺ユニット2内のCPUは、PASS制御回路21を介して受けたCPUユニット1からのサービス要求に対するサービス応答信号をPASS制御回路21に出力するように構成されている。

【0049】次に、この実施形態の制御装置の動作を図4のフローチャートを参照して説明する。

【0050】CPUユニット1のSHRYX/PASS制御回路11から所定の周辺ユニット2に対して、サービス要求をSHRYX信号として出力すると（ステップ110）、その周辺ユニット2の第1のタイマ23および第2のタイマ24が時間を計測し始める（ステップ120）とともに、PASS制御回路21は、CPUユニット1のSHRYX/PASS制御回路11に対してPASS信号を出力し、かつこのユニット内のCPUユニット1からサービス要求が有ったこと示すサービス要求を出力する（ステップ130）。

【0051】第1のタイマ回路23および第2のタイマ回路24が時間の計測を始めて2msを経過して、第2のタイマ回路24からタイムアウト信号がPASS制御回路に出力されると、周辺ユニット2のCPUは、HALT制御回路22からHALT信号が出力されているかを判断する（ステップ140）。

【0052】周辺ユニット2のCPUは、HALT信号がHALT制御回路22から出力されていないと判断した場合には（ステップ140；無）、後述するステップ185に処理を移行して、サービス処理を強制的に終了させる。

【0053】一方、周辺ユニット2のCPUは、HALT信号がHALT制御回路22から出力されていると判断した場合には（ステップ140；有）、CPUユニット1の共有メモリ制御回路15からSBA信号がHALT制御回路22を介して入力されているかを判断する（ステップ150）。

【0054】周辺ユニット2のCPUは、SBA信号が入力されていない場合には（ステップ150；無）、SBA信号が入力されるのを待つ一方、SBA信号が入力されている場合には（ステップ150；有）、CPUユニット1に内蔵されている共有メモリ14をリード・ライトするためのメモリアクセスを行う（ステップ160）。

【0055】第1のタイマ回路23が時間の計測を始め、8msを経過して、第1のタイマ回路23からタイム

アウト信号が周辺ユニットのCPUおよびNMI発生回路25に出力すると、周辺ユニット2のCPUは、共有メモリ14に対するアクセスの有無を判断する（ステップ170）。

【0056】周辺ユニット2のCPUは、共有メモリ14に対するアクセスが無いと判断した場合には（ステップ170；無）、後述するステップ180に処理を移行する一方、共有メモリ14に対するアクセスが有ると判断した場合には（ステップ170；有）、その旨をNMI発生回路25に出力し、NMI信号を出力させる。

【0057】周辺ユニット2のCPUは、NMI発生回路25からNMI信号を受けると、共有メモリ14に対するリード・ライトするためのアクセスを終了する（ステップ175）。

【0058】その後、周辺ユニット2のCPUは、サービス終了信号をPASS制御回路21に出力し、次に、このサービス終了信号を受けたPASS制御回路21は、HALT制御回路22にHALT信号の出力の停止を要求を出力し、HALT制御回路22に、HALT信号の出力の停止させる（ステップ180）。

【0059】周辺ユニット2は、CPUユニット1に対してHALT信号の出力を停止すると、周辺ユニット2のPASS制御回路21は、PASS信号の出力を停止する（ステップ185）。

【0060】CPUユニット1のSHRYX/PASS制御回路11は、周辺ユニットからPASS信号が停止がされたことを確認すると、SHRYX信号の当該周辺ユニットに対する出力を停止して、サービス要求を終了する（ステップ190）。

【0061】

【発明の効果】以上本発明によれば、CPUユニットからサービス要求を受けると、時間を計測し始める。そして、所定時間経過すると、共有メモリがアクセスされているかが判断され、共有メモリがアクセスされていると判断された場合には、共有メモリに対するアクセスを強制的に終了させてサービス処理を終了させることにより、周辺ユニットの実行するサービス処理が規定時間以内に終了できるため、装置自体の稼働を停止しを防ぐことができる。

【0062】さらに、時間を計測し始めた後、所定時間経過すると、CPUユニットを一時停止させるHALT信号が出力されたと判断された場合にのみ、共有メモリをアクセスせずにサービス処理を終了させるため、CPUユニットがサービス要求を出力したのち、HALT信号を出力するという共有メモリにアクセスに必要でない無駄な時間もなくなり、システム全体のサービス処理効率が向上することができる。

【図面の簡単な説明】

【図1】本発明に係る制御装置のサービス処理手順の概略を説明するタイミングチャート。

【図2】本発明に係る制御装置のサービス処理手順の概略を説明するタイミングチャート。

【図3】本発明に係る制御装置の一実施形態の構成を示すブロック図。

【図4】この実施形態の制御装置の動作を説明するフローチャート。

【図5】従来の制御装置の構成を示すブロック図。図1に示す温風・除湿ユニットの給排水制御機構の動作説明図。

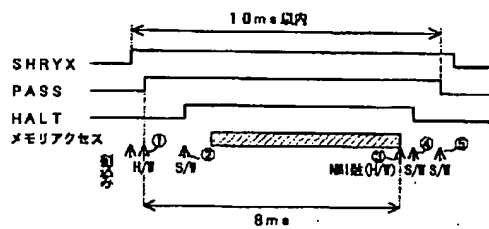
【図6】従来の制御装置の動作手順を説明するタイミング

グチャート。

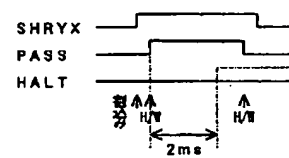
【符号の説明】

- 1 CPUユニット
- 2 周辺ユニット
- 11 PHRYX/PASS制御回路
- 12 タイマ回路
- 13 タイマアウト監視回路
- 14 共有メモリ制御回路
- 15 共有メモリ
- 21 PASS制御回路
- 22 HALT制御回路
- 23 第1のタイマ回路
- 24 第2のタイマ回路
- 25 NMI発生回路

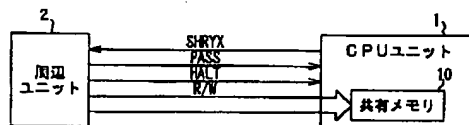
【図1】



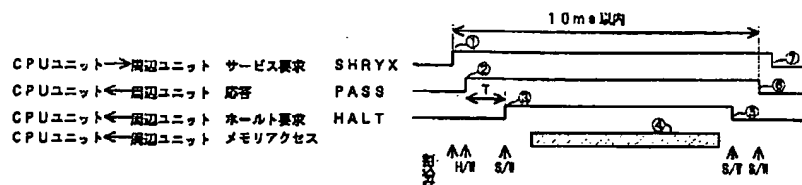
【図2】



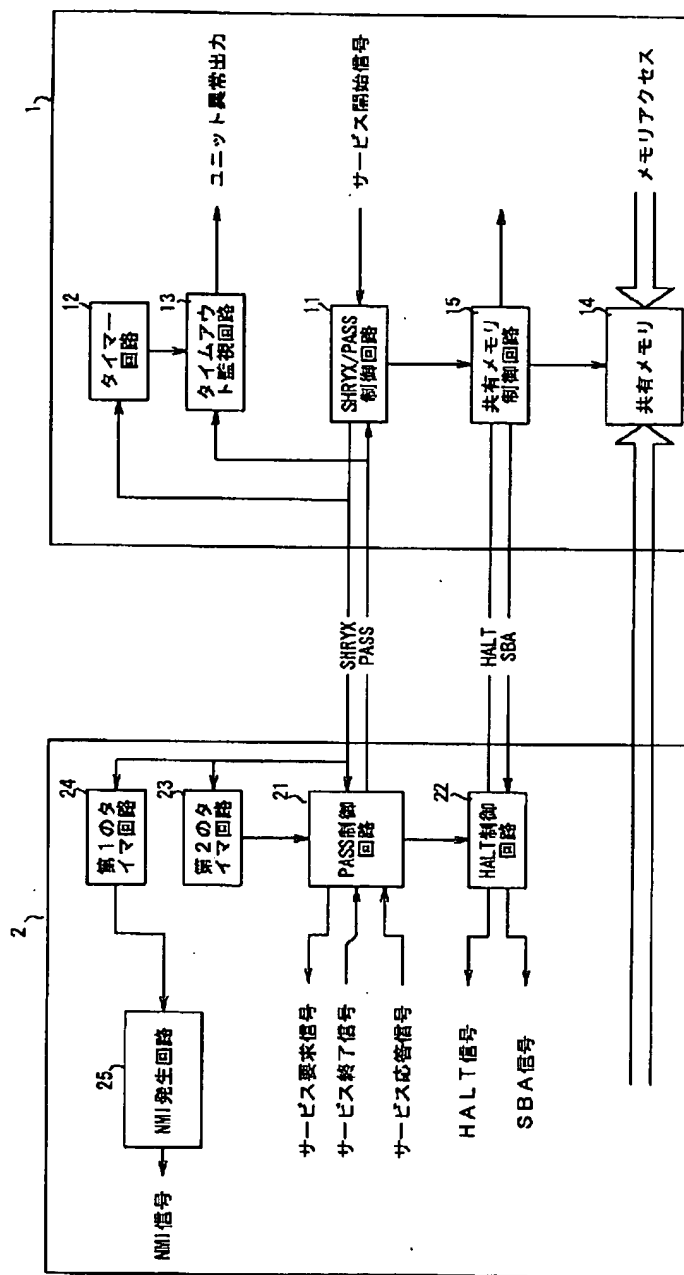
【図5】



【図6】



【図3】



【図4】

